

Requested Patent: JP6077405A

Title: LOW-VOLTAGE TRIGGER ESD PROTECTING CIRCUIT ;

Abstracted Patent: JP6077405 ;

Publication Date: 1994-03-18 ;

Inventor(s): CHATTERJEE AMITAVA; THOMAS L PORGREEN ;

Applicant(s): TEXAS INSTR INC It;Tlgt; ;

Application Number: JP19910192239 19910731 ;

Priority Number(s): ;

IPC Classification: H01L27/04; H01L23/60 ;

Equivalents: ;

ABSTRACT:

PURPOSE: To prevent electrostatic discharging(ESD) in an integrated circuit in general.

CONSTITUTION: This electrostatic discharge protecting circuit has a primary protecting switch 14 which can stand a high voltage stress, and this switch is triggered by a low voltage trigger element 13a. This primary protecting switch 14 can have a bipolar transistor or a semiconductor controller rectifier. This trigger element 13a is preferably an element of the same type as that of an output circuit element requiring protection.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-77405

(43) 公開日 平成 6 年 (1994) 3 月 18 日

(51) Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/04

H 8427-4M

23/60

H 0 1 L 23/56

B

審査請求 未請求 請求項の数 1 (全 6 頁)

(21) 出願番号 特願平3-192239

(22) 出願日 平成 3 年 (1991) 7 月 31 日

(31) 優先権主張番号 5 6 0 6 8 1

(32) 優先日 1990 年 7 月 31 日

(33) 優先権主張国 米国 (US)

(71) 出願人 590000879

テキサス インストルメンツ インコーポ
レイテッドアメリカ合衆国テキサス州ダラス, ノース
セントラルエクスプレスウェイ 13500

(72) 発明者 アミタヴァ チャータジー

アメリカ合衆国 テキサス州 75044 ガ
ーランド ポスト オーク 3409

(72) 発明者 トーマス エル ポルグリーン

アメリカ合衆国 テキサス州 75229 ダ
ラスダービーシャー 3214

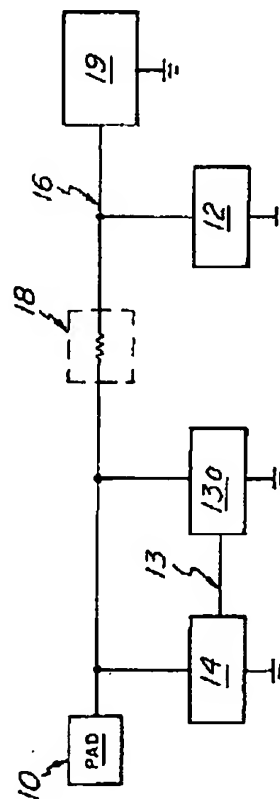
(74) 代理人 弁理士 中村 稔 (外 7 名)

(54) 【発明の名称】 低電圧トリガ式 ESD 保護回路

(57) 【要約】 (修正有)

【目的】 一般的に集積回路に関し、特に、このような集積回路用の静電放電 (ESD) を防止する方法および装置に関する。

【構成】 静電放電保護回路は、高レベルの電圧ストレスに耐える一次保護スイッチ 14 を有し、このスイッチは低い電圧のトリガ素子 13 a によってトリガされる。この一次保護スイッチ 14 は、バイポーラ・トランジスタ 21 または半導体制御整流器を有することができる。このトリガ素子 13 a は、保護を必要とする出力回路素子と同じタイプの素子であることが好ましい。



【特許請求の範囲】

【請求項1】 静電放電保護回路において、上記の回路は：低電圧トリガ素子に接続され、この素子によってトリガされる一次保護スイッチによって構成されることを特徴とする回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、一般的に集積回路に関し、特に、このような集積回路用の静電放電（ESD）を防止する方法および装置に関する。

【0002】

【従来の技術】 集積回路チップ・パッケージを取り扱う間に、静電放電によって、この集積回路チップ上の半導体素子が破壊される可能性がある。一般的に、このような破壊の防止は、この集積回路チップ内に保護回路を組み込むことによって行われる。一般的に、このような保護回路は、半導体制御整流器（SCR）のようなスイッチを有し、これは比較的大きい電流を流すことができるが、この電流はESD事象によって生じる高電圧が存在することに起因する。種々の素子を使用して、ESD事象の期間中、保護された回路を基本的に分流させるのに必要なスイッチ機能を設けることができる。例えば、種々のSCRを使用して、必要なスイッチ機能を設けることができる。このようなSCR構造は、横型SCR（LSCR）と呼ばれ、「A Process Tolerant Input Protection Circuit for Advanced CMOS Processes」という名称のRountree他による文献（1988年EOS/ESDシンポジウムの会議録、201ないし205頁）に詳しく説明されている。このSCRを製造する一般的なCMOS技術は、R. A. Chapman他によるIEDM技術ダイジェスト、1987年の362ないし365頁に掲載の「An 0.8 Micron CMOS Technology for High Performance Logic Applications」に説明されている。

【0003】 一般的に、高ESDストレスに耐えることができるSCRまたは他の素子のトリガ電圧は、ESD防止用の保護素子として単独で使用するには高すぎる。したがって、このような素子は、一次保護として使用される。一般的に、二次保護は、二次回路を使用することによって与えられ、この二次回路は、一般的に、低クランプ電圧を有し、一次保護素子のトリガ電圧に到達するまで、集積回路素子の保護を行う。一般的に、このような使用をすることは、現実問題として入力にのみ保護を与えることに限定されるが、それはこのような回路内に直列抵抗が存在することに起因する。これらの二次保護回路に存在する直列抵抗は、通常このような集積回路の出力では受け入れられないが、それは一般的に出力抵抗

の規格に従う必要があることに起因する。したがって、このような二次保護回路は、一般的に、集積回路の出力には適用できない。上述の「Low Voltage Triggering Semiconductor CONTROLLED Rectifier」という名称の、テキサス・インスツルメンツ社に譲渡された、1990年3月5日付け米国特許出願番号第488,590号は、参考文献としてここに完全に含まれ、低電圧でトリガされるSCRを開示し、集積回路のESDを保護するために複数のSCRを使用することに関連するこの問題および他の問題を克服する。

【0004】

【解決すべき課題】 ESD保護に使用した従来の回路と構造は、高レベルのESDストレスに耐えることができる。しかし、集積回路技術が発達するにしたがって、保護が必要な素子は、使用される保護素子のトリガ・レベルよりも低い電圧レベルで故障する可能性があり、これによって改良されたESD保護素子と回路に対する必要性が生じる。同様に、集積回路にBiCMOS技術が多く使用されることによって、これらの回路におけるESD保護の必要性もまた生じる。

【0005】 したがって、本発明の目的は、集積回路用の新規で改良されたESD保護素子を提供することである。本発明の他の目的は、低電圧でトリガするESDの保護素子を提供することである。本発明の他の目的は、一次ESD保護素子をトリガする回路を提供することである。

【0006】 本発明のさらに他の目的は、BiMOS技術で実行することのできるESD保護素子を提供することである。

【0007】

【課題を解決する手段】 上述およびその他の目的は、静電放電保護回路によって実現され、この静電放電保護回路は一次保護スイッチを含み、このスイッチは高レベルの電圧ストレスに耐える低電圧トリガ素子によって起動される。この一次保護スイッチは、バイポーラ・トランジスタまたは半導体制御整流器を有することができる。このトリガ素子は、保護が必要な出力回路素子と同じタイプの素子であることが好ましい。

【0008】

【実施例】 本発明を添付図面を参照して説明する。図1は、従来技術による集積回路用ESD保護構成のブロック図を示す。パッド10は、集積回路チップの入力パッドまたは出力パッドのいずれかである。これは、ESD事象が発生する可能性が高い点を示す。一般的な集積回路チップ・パッケージは複数のこのようなパッドを有し、かかる場合、このようなパッドの各々に対してESD保護回路が設けられる。部品14は一次保護回路を示し、前述のように、この回路は一般的に高ESDストレスに耐えられるスイッチである。この一次保護素子14

は、一般的に保護された集積回路19に故障が生じる電圧よりも高いトリガ電圧を有するが、その理由は、この素子14がESDストレスに耐える能力が高いためである。集積回路19は、1つの素子、または多数の素子を有し、これらは一次保護素子14のトリガ電圧と比較して比較的低い電圧で故障する。実際の用途では、通常この素子は、場合によって、入力トランジスタまたは出力トランジスタである。したがって、回路の入力に対する適切なESDの保護には、二次保護素子すなわち回路12が含まれ、この回路は、ESD事象の期間中、一次素子のトリガ電圧が達成されるまで、保護を行うように設計される。この二次保護素子は直列抵抗18を有し、一次保護素子14にかかるトリガ電圧の構築を支援することができる。しかし、この抵抗のこめ、二次保護素子は、一般的に回路の入力でのみ使用される。この抵抗が必要なることによって、出力ではその使用が禁止されると考えられる。したがって、ESD保護は、しばしば出力には設けられていない。

【0009】本発明のESD保護回路を図2のブロック図で示す。したがって、図2の回路は、リード16によって集積回路19に接続された接触パッド10を有する。一次保護素子14は、このパッド10とアース、すなわちVssまたは、場合によって、他の適当な接続点との間に接続される。この一次保護素子14は、高いESDのストレスに耐えることができるスイッチである。トリガ素子13aは、パッド10とアースとの間に接続される。本発明の保護回路は、このトリガ素子13aの出力電流を使用して接続部13を介して一次保護素子14をトリガする。一次保護素子14とトリガ素子13aを正しく構成することによって、ESD保護回路が設けられ、この回路において、一次保護素子は低電圧でこの回路に切り替えられ、これによって、それ以外の場合よりも低い電圧レベルで高いESDのストレスに耐える能力が与えられる。本発明のESD保護は実質的に直列抵抗を必要としないので、本発明を使用して入力と出力の両方にESD保護を行うことができる。ESD保護回路の種々の部品の設計によって、二次保護絶縁抵抗18を設け、開示した実施例に関して以下で説明するように、保護される回路19からパッド10とESD保護回路を絶縁するのが有利である。

【0010】図3は、本発明の1実施例の回路図が示す。一次保護素子14は、本実施例では、バイポーラnpnトランジスタ21として示され、このトランジスタのコレクタは集積回路チップのパッド10に接続され、エミッタはVssに接続され、これはアースであり、ベースはNMOSTランジスタ22のソースに接続される。NMOSTランジスタ22のドレインも、またパッド10に接続される。NMOSTランジスタ22のソースも、また抵抗23に接続される。NMOSTランジスタ22と抵抗23は共に、トリガ式一次保護素子1

4用のトリガ素子を形成し、さらに二次ESD保護素子を設けるように構成することもできる。しかし、本発明によれば、一般的に二次保護素子は必要ではないが、その理由は、一次保護素子がこのように低電流レベルでトリガされるからである。パッド10は、まこ保護された集積回路19に接続され、この集積回路は、ここではNMOSTランジスタ24として示す。一般的な集積回路構成では、ESDのストレスに最も影響されやすい素子は、NMOST出力トランジスタ24のような入力トランジスタおよび出力トランジスタである。トリガ素子12は、保護が必要な出力トランジスタ24と同じタイプの素子であることが好ましい。

【0011】ESD事象の場合、パッド10の電圧が上昇する。もし正しく構成され、ある種のESDストレスに耐える能力があるNMOSTランジスタ22を有するならば、二次保護素子は、あるESDの電圧レベルで導通するように駆動される。NMOSTランジスタ22のソースはバイポーラ・トランジスタ21のベースに接続され、その結果、ESD事象の結果生じる電流によって、バイポーラ・トランジスタ21が駆動されて導通するが、このバイポーラ・トランジスタ21は、これが通常オンする電圧およびNMOSTランジスタ24が故障する電圧レベルの両方より低い電圧で実質的なESDのストレスに耐えるサイズである。この特定の実施例では、NMOSTランジスタ22およびNMOST出力トランジスタ24のゲートは接続され、主に寸法によって制御される生き(stet)NMOSTランジスタ22を起動する。この構成では、もしNMOSTランジスタ22のチャンネル長さが、出力トランジスタ24のチャンネル長さよりも短いならば、NMOSTランジスタ22の降伏電圧は、出力トランジスタ24よりも低く、これによって出力トランジスタ24の降伏電圧よりも低い電圧レベルでトランジスタ22が導通することを保証する。トランジスタ22に対しては、より低い降伏電圧が望ましいが、これが必要だという訳ではない。先ず問題になるのは、トランジスタ22が十分な電流を発生して一次素子14をトリガする前に、トランジスタ24に対する破壊しきい値を超えないことである。本発明の精神と範囲から逸脱することなく、代替の構成を使用して同様の結果を実現することができることは明らかである。所望のESD回路の保護に対する特定の要求によって、本構成のトリガ素子13aは、一次保護素子14をトリガすることとESDの二次保護を行うことの両方を行うように設計することができ、またESDの一次保護に対するトリガのみとして機能し、かつそれ自身もし行うとしても二次保護は殆ど行わないように設計することもできることも明らかである。本発明は、集積回路内にESD保護を設ける場合、設計者に大きい柔軟性を与える。

【0012】図4は、図3の回路の概略/断面図であるが、BiCMOS技術によって実行される保護された集

積回路19は含んでいない。図示の素子30は、ここではp型基板である第1導電型の基板31を有する半導体を有し、かつこの基板内にここではn型のウェルである第2導電型のウェル32を有すると共に、この井戸32内にここではp型である第1導電型のベース33を有する。高濃度にドーピングした第2導電型の領域34がベース33内に置かれ、領域34、ベース33、およびウェル32によって構成される縦型バイポーラn-p-nトランジスタ21を設ける。このベース領域33は抵抗23を介してV_{ss}と接続され、この抵抗は多結晶シリコンのような、いずれの便利な種類の構成でもよい。抵抗33は、ベース領域33の一部として集積化してもよい。領域34もまたV_{ss}に接続する。ウェル領域32はトランジスタ22のパッド10とロレイン領域37に接続される。トランジスタ22のソース領域36は、バイポーラ・トランジスタ21のベース領域33に接続される。NMOSTランジスタ22のゲート38は出力トランジスタ24（図4には示さず）のゲートに接続することができ、または、そうでなければ、特定の回路構成ではESD保護素子の正しい機能を提供するように要求され、またはこれを提供することが適当である。

【0013】図5は本発明の他の実施例の回路図であり、ここでは一次保護素子14としてSCRを使用する。本実施例の構成と図3の構成は、この実施例中の一次ESD保護素子がリード13を介してトランジスタ22の出力電流によってトリガされるようにSCRが接続される点を除いて、全ての点で同一である。他の全ての点で、この保護素子の動作は、図3と同様である。図6は、BiCMOS技術によって実行される図5に示す実施例の概略/断面図である。高濃度にドーピングした第1導電型の別の領域45を有してNMOSTランジスタの出力電流によってトリガされるSCRを設けている点を除いて、この構造と動作もまた図4の構造と動作と同じである。

【0014】本発明を、BiCMOS技術によって実行される開示の実施例を参照して説明したが、この説明は、実例としてのみ行われたものであり、限定する意味で構成されたものではないことが理解すべきである。本発明は、例えば、CMOSのような他の集積回路技術によって実行することもできる。本発明の実施例の細部の多くの変更、および本発明の他の実施例は、本発明を参照する場合、当業者にとって明らかであり、またこれらの当業者によって実行されることも理解できる。例えば、素子の設計に伴う変更の場合、nチャンネル・トランジスタをpチャンネル・トランジスタに置き換えることもできる。また、トリガ素子のトリガ特性は、必要に応じて、特定の設計上の要求に一致するように調整することができる。このような全ての変更と他の実施例は、上で特許を請求した本発明の精神と真の範囲に包含される。

【0015】以上の記載に関連して、以下の各項を開示する。

1. 静電放電保護回路において、上記の回路は：低電圧トリガ素子に接続され、この素子によってトリガされる一次保護スイッチによって構成されることを特徴とする回路。

2. 上記の一次保護スイッチは、バイポーラ・トランジスタであることを特徴とする上記1項記載の回路。

10 【0016】3. 上記の低電圧トリガ素子は、保護される素子と同種のトランジスタによって構成されることを特徴とする上記1項記載の回路。

4. 上記の低電圧トリガ素子は、所定のレベルの静電放電電圧ストレスに耐えることを特徴とする上記3項記載の回路。

5. 上記の一次保護スイッチは、半導体制御整流器であることを特徴とする上記1項記載の回路。

【0017】6. 上記の低電圧トリガ素子は、所定のレベルの静電放電電圧ストレスに耐えることを特徴とする上記5項記載の回路。

20 7. 上記の低電圧トリガ素子は、上記の半導体制御整流器のアノードに接続されることを特徴とする上記5項記載の回路。

8. 上記の低電圧トリガ素子は、上記の半導体制御整流器のカソードに接続されることを特徴とする上記5項記載の回路。

30 【0018】9. それぞれ入力パッドと出力パッドに接続された入力素子と出力素子；上記の出力素子の内少なくとも1つとの中間に接続された一次保護スイッチ；および静電放電事象に応答して一次保護スイッチをトリガする低電圧トリガ素子によって構成されることを特徴とする集積回路。

【0019】10. 上記の一次保護スイッチは、バイポーラ・トランジスタによって構成されることを特徴とする上記9項記載の集積回路。

11. 上記の低電圧トリガ素子は、上記の少なくとも1つの出力素子と同じタイプの素子であることを特徴とする上記10項記載の集積回路。

40 12. 上記の少なくとも1つ出力素子は、NMOSTランジスタであることを特徴とする上記11項記載の集積回路。

【0020】13. 上記の一次保護スイッチは、半導体制御整流器によって構成されることを特徴とする上記9項記載の集積回路。

14. 上記の低電圧トリガ素子は、上記の少なくとも1つの出力素子と同じタイプの素子であることを特徴とする上記13項記載の集積回路。

15. 上記の出力素子の内少なくとも1つは、NMOSTランジスタであることを特徴とする上記14項記載の集積回路。

50 【0021】16. 上記の低電圧トリガ素子は、所定の

7

8

レベルの静電放電電圧ストレスに耐えることを特徴とする上記9項記載の集積回路。

17. 上記の低電圧トリガ素子は、上記の半導体制御整流器のカソードに接続されることを特徴とする上記13項記載の集積回路。

【図面の簡単な説明】

【図1】従来技術のESD保護回路のブロック図である。

【図2】本発明によるESD本発明回路のブロック図である。

【図3】図4にまた示す本発明の1実施例の等価回路図である。

【図4】図3に示す本発明の実施例の概略/断面図である。

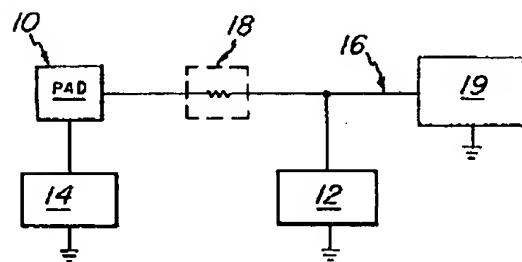
【図5】図6にまた示す本発明の別の実施例の等価回路図である。

【図6】図5に示す本発明の実施例の概略/断面図である。

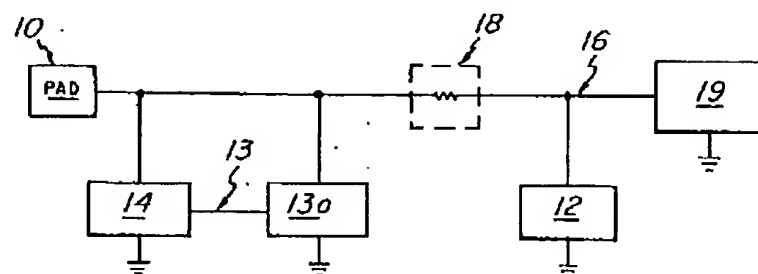
【符号の説明】

- 10 パッド
- 12 二次保護回路
- 14 一次保護回路
- 13a トリガ素子
- 18 直列抵抗
- 19 集積回路
- 21 パイポーラn-p-nトランジスタ
- 22 NMOSトランジスタ
- 24 NMOSトランジスタ
- 30、40 素子
- 31、41 第1導電型の基板
- 32 第2導電型のウェル
- 33 第1導電型のベース
- 34 第2導電型の領域
- 36 トランジスタ22のソース領域
- 38 NMOSトランジスタ22のゲート
- 45 第1導電型の領域

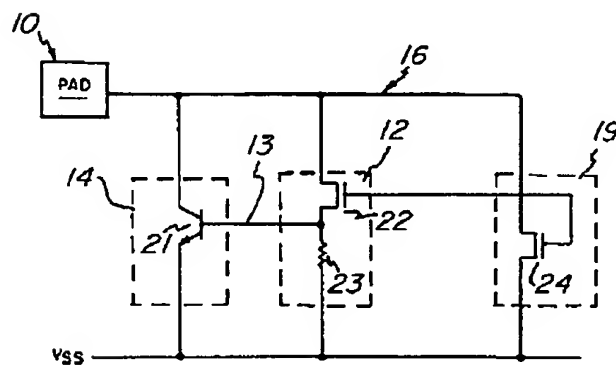
【図1】



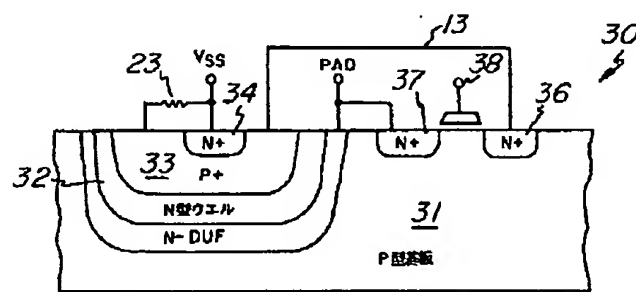
【図2】



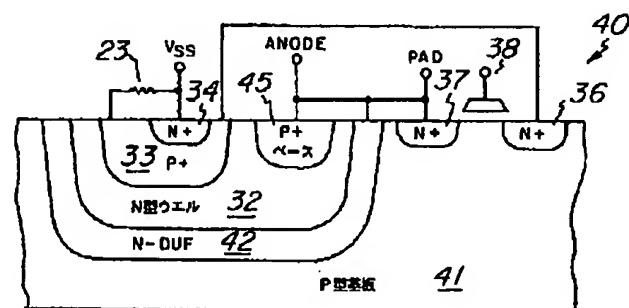
【図3】



【図4】



【図6】



【図5】

